

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-023767

(43)Date of publication of application : 23.01.1998

(51)Int.Cl.

H02M 7/5387

H02M 7/48

H02M 7/537

H02P 7/292

(21)Application number : 08-171359

(71)Applicant : SHIBAURA ENG WORKS CO LTD

(22)Date of filing : 01.07.1996

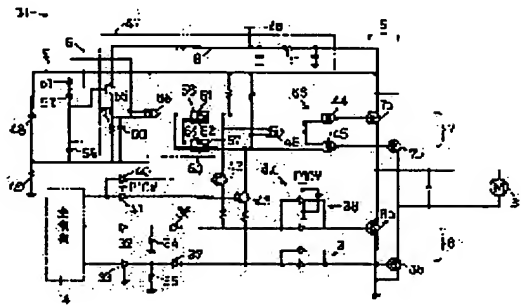
(72)Inventor : IMAGAWA KAZUHIKO

## (54) MOTOR DRIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid malfunctioning of a motor.

SOLUTION: In a drive circuit 31, speed signals are inputted to a high side device unit 7 to make P transistors 7a and 7b perform switching operations. On the other hand, switching signals MF and MR are inputted to N transistors 8a and 8b through gate circuits 38 and 39 to put the N transistors 8a and 8b into on-states or off-states selectively. The speed signals MF and MR are, after their signal levels are shifted by a level shifter transistor array (40 and 41), inputted to the respective one side input terminals of AND circuits 44 and 45 which are standard gate integrated circuits of which a drive device 67 which drives the P transistors 7a and 7b in the high side device unit 7 is composed. Logical products of the outputs of the transistors 42 and 43 and the output of an OR circuit 46 are calculated by the AND circuits 44 and 45 and their outputs are supplied to the gate terminals of the P transistors 7a and 7b.



## LEGAL STATUS

[Date of request for examination] 27.06.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3632305

[Date of registration] 07.01.2005

[Number of appeal against examiner's decision of rejection]

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-23767

(43)公開日 平成10年(1998) 1月23日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 2 M	7/5387	8110-5H	H 0 2 M 7/5387	Z
	7/48	8110-5H	7/48	F
	7/537	8110-5H	7/537	E
H 0 2 P	7/292		H 0 2 P 7/292	K

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21)出願番号 特願平8-171359

(22)出願日 平成8年(1996) 7月1日

(71)出願人 000002428

株式会社芝浦製作所

神奈川県横浜市栄区笠間町1000番地1

(72)発明者 今川 和彦

福井県小浜市駅前町13番10号 株式会社芝浦製作所小浜工場内

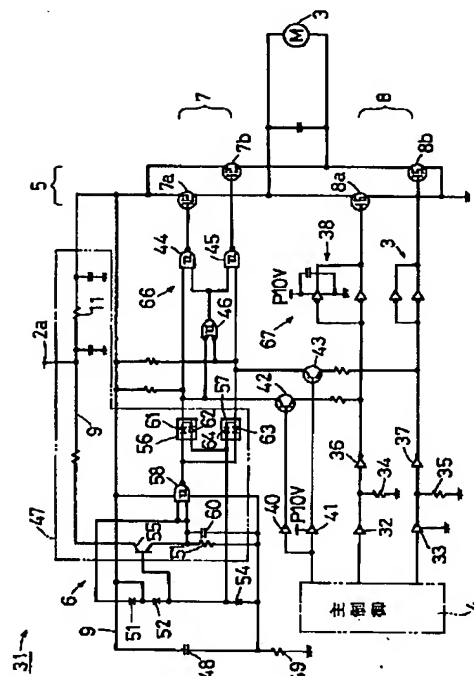
(74)代理人 弁理士 葛田 瑋子 (外1名)

(54)【発明の名称】 モータ駆動装置

(57)【要約】

【課題】 モータの誤動作を防止する。

【解決手段】 駆動回路31では、ハイサイド素子部7に速度信号PWMが入力されてPトランジスタ7a、7bがスイッチング動作を行う。一方、切替信号MF、MRはゲート回路38、39を介してNトランジスタ8a、8bに入力され、Nトランジスタ8a、8bが導通状態或いは遮断状態に選択的に設定される。前記速度信号PWMは、レベルシフト用トランジスタアレイ40、41を介して信号レベルがシフトされ、トランジスタ42、43を介して、ハイサイド素子部7のPトランジスタ7a、7bを駆動する駆動素子67を構成する標準ゲート集積回路であるAND回路44、45の各一方入力端子に入力される。このAND回路44、45によって、トランジスタ42、43の出力とOR回路46の出力との論理積が演算され、その出力がPトランジスタ7a、7bのゲート端子に供給される。



## 【特許請求の範囲】

【請求項 1】 モータのコイルに駆動電流を供給する第 1 導電形式のトランジスタと、モータの他のコイルから駆動電流が流れ込む第 2 導電形式のトランジスタとを有するインバータ回路と、

該インバータ回路の該第 1 導電形式トランジスタをオン／オフ駆動する相対的に小電流容量の第 1 駆動回路と、該第 2 導電形式トランジスタをオン状態またはオフ状態のいずれかに設定する相対的に大電流容量の第 2 駆動回路とを備えるモータ駆動装置。

【請求項 2】 前記第 1 導電形式は P チャネル型であり、前記第 2 導電形式は N チャネル型である請求項 1 に記載のモータ駆動装置。

【請求項 3】 前記第 1 駆動回路は基本構成として約 60 mA の電流容量のゲート集積回路素子を備え、前記第 2 駆動回路は基本構成として約 20 ～ 30 mA の電流容量のゲート集積回路素子を備える請求項 1 に記載のモータ駆動装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、例としてブラシ付き直流モータを PWM（パルス幅変調）方式で駆動するモータ駆動装置に関する。

## 【0002】

【従来の技術】 図 2 は本発明の基礎となるモータ駆動回路の構成例を示すブロック図であり、以下に説明する従来技術の説明と実施例の説明とで共通に用いられる。図 4 は従来技術の回路素子の動作状態を示すグラフであり、図 5 は従来技術のモータ駆動回路（以下、駆動回路）1 の構成例を示す回路図であり、図 6 は駆動回路 1 における後述するパワー素子部のローサイド側の構成例を示す回路図であり、図 7 は駆動回路 1 における後述するパワー素子部のハイサイド側の構成例を示す回路図である。以下、図 2 及び図 5 ～ 図 7 を参照して、従来技術のモータ駆動回路 1 の構成について説明する。なお、以下の従来技術及び実施例において、説明の簡単化のために 2 相モータについて説明するが、この説明は、3 相などの他の相のモータの制御に関しても同様に成立するものである。

【0003】 例として、中耐圧（例、定格電圧＝DC 24 V）のブラシ付き DC モータ 3 を、電流リミッタ付き PWM（パルス幅変調）速度制御方式で駆動する駆動回路 1 において、

① 与えられた信号に従って、モータ 3 の正逆転のオープンループ速度制御を行なう

② 起動電流を一定値以下に抑制する、という仕様を満足させるために、以下の構成が採用されている。図 2 に示されるように駆動回路 1 は、モータ駆動用の Vcc＝DC 24 V を出力する第 1 電源部 2 a、及び回路駆動用の DC 5 V の直流電圧を出力する第 2 電源部 2 b を備え

2

る電源部 2 と、前記 PWM 変調された速度信号とモータ 3 の正転／逆転を切り替えるための切替信号を出力する主制御部 4 と、モータ 3 に駆動電流を出力する例として MOSFET（MOS 構造電界効果トランジスタ）からなるインバータ回路であるパワー素子部 5 と、前記速度信号及び切替信号が入力されてパワー素子部 5 にパワー素子部 5 の各トランジスタをオン／オフさせる駆動信号を出力する例として C-MOS ゲート IC からなる従制御部 6 とを備えている。

10 【0004】 前記パワー素子部 5 は、モータ 3 に駆動電流を供給する P チャネル MOSFET を含むハイサイド素子部 7 と、モータ 3 からの電流が流入する N チャネル MOSFET を含むローサイド素子部 8 とを有している。前記従制御部 6 及びハイサイド素子部 7 には、電源部 2 とパワー素子部 5 との間に接続される電源線 9 及び接地線 10 を介して前記駆動電源 Vcc が供給される。前記接地線 10 には、電流センサ 11 の電圧降下量を基準値と比較して、電圧降下量が基準値を超過した場合に、超過信号を従制御部 6 に出力してパワー素子部 5 の

20 オン／オフ動作を停止させる抵抗素子を含む電流センサ 11 が配置される。前記接地線 10 は、電流センサ 11、電源部 2 の第 1 電源部 2 a、第 2 電源部 2 b、ローサイド素子部 8 及び従制御部 6 に、共通に接続される。【0005】 このような従来の駆動回路 1 の前記従制御部 6 及びパワー素子部 5 の回路例が図 5 に示されている。従制御部 6 に関連して前記電源線 9 に接続されたツェナーダイオード 12 と抵抗 13 を含み、例として 10 V の一定電圧を出力する定電圧回路 14 が備えられる。また、前記ハイサイド素子部 7 には、P チャネル MOSFET（以下、P トランジスタ）7 a、7 b が備えられ、ローサイド素子部 8 には、N チャネル MOSFET（以下、N トランジスタ）8 a、8 b が備えられる。前記定電圧回路 14 の出力は、P トランジスタ 7 a、7 b にゲート信号を出力する反転回路 15、16（例として、素子 TC4011B）に供給される。この反転回路 15、16 には、前記切替信号のうち、モータ 3 の回転方向を正転方向に設定する切替信号 MF と逆転方向に設定する切替信号 MR とが、トランジスタ 17、18 を介してそれぞれ入力される。従って、前記 P トランジスタ 7 a、7 b のゲート信号は、接地電位基準の前記切替信号 MF、MR がトランジスタ 17、18 によってレベルシフトされて電圧 Vcc 基準の反転回路 15、16 を経て、前記 P トランジスタ 7 a、7 b に供給されることになる。

50 【0006】 また、従来の駆動回路 1 では、図 5 に示されるように、ハイサイド素子部 7 には速度信号 PWM が入力されず、切替信号 MF、MR がトランジスタ 17、18 を介して入力され、P トランジスタ 7 a、7 b が導通状態或いは遮断状態に選択的に設定される。前記速度信号 PWM は、AND 回路 26、27 によって前記切替

3

信号MF、MRと論理積が演算され、その出力がAND回路19、20によって、過電流検出回路21の出力との論理積が演算される。AND回路19、20（素子の種類は同上）の出力は、Nトランジスタ8a、8bの各ゲート端子に入力される。前記過電流検出回路21は、モータ3からのローサイド素子部8を介する電流レベルを検出するものであり、この電流が小さいときには前記電流センサ11で検出される電圧値は小さく、トランジスタ22が遮断され、ツェナーダイオード23が導通して、一定レベルの高電位が前記AND回路19、20の各一方入力端子に供給され、AND回路19、20は入力された速度信号PWMを出力する。一方、モータ3に大電流が流れると、電流センサ11で検出される電圧値が大きくなり、トランジスタ22が導通すると共に、ツェナーダイオード23の端子間電位差が小さくなり、ツェナーダイオード23が遮断状態となる。これにより、AND回路19、20には、トランジスタ22を介する接地電位が供給されて遮断状態となり、モータ3の回転が停止される。

【0007】

【発明が解決しようとする課題】このような従制御部6のAND回路19、20とNトランジスタ8a、8bの構成例、及び反転回路15、16とPトランジスタ7a、7bの構成例が図5及び図7にそれぞれ示されている。ハイサイド素子部7及びローサイド素子部8のいずれの場合でも、駆動素子24、25には電圧出力型のCMOSゲート素子が用いられている。以下の説明において、モータ3が正転していて、これに対応してPトランジスタ7aが遮断されPトランジスタ7bが導通している場合を想定する。この場合、オフ中のハイサイド素子7のPトランジスタ7の電位差VDD-Gがこのトランジスタのしきい値電圧V<sub>th</sub>である2Vで、駆動素子25の電流容量が約8mAであるのに対し、ローサイド素子8に関して、オン状態とオフ状態との間で切り替わるNトランジスタ8の電位差VDD-Gが10V-V<sub>th</sub>=8Vで、駆動素子24の電流容量が16mA以上になって、ハイサイド素子7側のオフ状態が確定されず、ハイサイド素子7及びローサイド素子8が共にオン状態となり、相互に短絡して過大な異常電流が流れ、モータ3の誤動作が発生するという不具合を生じる。

【0008】この状態は、図4に示される。即ち、モータ3を回転駆動するためのスイッチングを行うローサイド側の駆動素子24の電流容量が、ハイサイド側の駆動素子25の電流容量より大きく、このために、ハイサイド素子7側のオフ状態が確定されない事態が生じる。

【0009】請求項1～3の発明は、上述の技術的課題を解決するためになされたものであり、その目的は、モータの誤動作を防止することができるモータ駆動装置を提供することである。

【0010】

4

【課題を解決するための手段】請求項1の発明のモータの駆動装置は、モータのコイルに駆動電流を供給する第1導電形式のトランジスタと、モータの他のコイルから駆動電流が流れ込む第2導電形式のトランジスタとを有するインバータ回路を備え、更に、インバータ回路の第1導電形式トランジスタをオン/オフ駆動する相対的に小電流容量の第1駆動回路と、第2導電形式トランジスタをオン状態またはオフ状態のいずれかに設定する相対的に大電流容量の第2駆動回路とを備えている。

10 【0011】これにより、モータを駆動するためにトランジスタをオン/オフ駆動する駆動回路の電流容量を、トランジスタをオン状態またはオフ状態のいずれかに設定する駆動回路の電流容量よりも小電流容量とできるので、トランジスタをオン/オフ駆動する駆動回路の動作状態を確定することができ、これらの各駆動回路の動作状態が確定せず、各トランジスタ間が短絡する事態を防止することができ、モータの誤動作を防止することができる。

20 【0012】請求項1の発明において、第1導電形式をPチャネル型とし、第2導電形式をNチャネル型としてもよい。この場合にも、前記作用効果を達成することができる。また、請求項1の発明において、第1駆動回路は基本構成として約60mAの電流容量のゲート集積回路素子を備え、第2駆動回路は基本構成として約20～30mAの電流容量のゲート集積回路素子を備えるようにしてもよい。この場合にも、前記請求項1の作用効果を実現することができる。

【0013】

30 【発明の実施の形態】図1は本発明の一実施例のモータ駆動回路の一部の構成例を示すブロック図であり、図2は本発明の基礎となる構成のモータ駆動回路1の概略の構成例を示すブロック図であり、前記従来技術で説明されたので、再度の説明を省略し、必要な場合は前記従来技術の説明を参照する。図3及び図4は本実施例に用いられるゲート素子の動作例を示すグラフである。

【0014】以下、図1～図4を参照して、本実施例のモータ駆動回路31の構成について説明する。

40 【0015】本実施例のモータ駆動回路31の概略の構成は、図2に示されるものであり、図1は、図2中の従制御部6及びパワー素子部5に関連する図5に対応する図である。即ち、本実施例のモータ駆動回路31の特徴は、図2に示した従制御部6及びパワー素子部5の改良に関わるものである。本実施例では、モータ3を回転駆動するためのスイッチング動作をハイサイド素子部7で行い、ローサイド素子部8は、モータ3の正転或いは逆転の回転方向に対応して、遮断状態或いは導通状態に設定される。

50 【0016】例として、中耐圧（例、定格電圧=DC24V）のブラシ付きDCモータ3を、電流リミッタ付きPWM（パルス幅変調）速度制御方式で駆動する駆動回

路31において、

① 与えられた信号に従って、モータ3の正逆転のオープンループ速度制御を行なう

② 起動電流を一定値以下に抑制する、という仕様を満足させるために、前述したような図2を参照して説明した構成が採用されている。

【0017】本実施例の駆動回路31の前記従制御部6及びパワー素子部5に関連する部分の回路例が図1に示されている。従制御部6に関連して図5で説明された定電圧回路14に対応する回路は、図1には示されていないが駆動回路31として別途備えている。ハイサイド素子部7には、PチャネルMOSFET（以下、Pトランジスタ）7a、7bが備えられ、ローサイド素子部8には、NチャネルMOSFET（以下、Nトランジスタ）8a、8bが備えられる。前記第1電源部2aの出力は各Pトランジスタ7a、7bに供給される。

【0018】前記主制御部4が出力する前記切替信号のうち、モータ3の回転方向を正転方向に設定する切替信号MFと逆転方向に設定する切替信号MRとは、レベルシフト用トランジスタアレイ（以下、アレイ）32、33及び一端が接地された抵抗34、35を介して反転回路36、37に入力される。反転回路36、37の出力はNトランジスタ8a、8bを駆動する駆動素子66を構成するバッファ型ゲート集積回路であるゲート回路（例として、TC4049BF、電流容量は例として約60mA）38、39に入力される。従って、前記Nトランジスタ8a、8bのゲート信号は、接地電位基準の前記切替信号MF、MRがアレイ32、33によってレベルシフトされて電圧Vcc基準の反転回路36、37を経て、前記Pトランジスタ7a、7bを駆動するゲート回路38、39から出力されて得られることになる。

【0019】また、本実施例の駆動回路31では、従来技術の駆動回路1の場合と逆に、ハイサイド素子部7に速度信号PWMが入力されて、後述するようにPトランジスタ7a、7bがスイッチング動作を行う。一方、切替信号MF、MRはゲート回路38、39を介してNトランジスタ8a、8bに入力され、Nトランジスタ8a、8bが導通状態或いは遮断状態に選択的に設定される。前記速度信号PWMは、レベルシフト用トランジスタアレイ（以下、アレイ）40、41を介して前述したように信号レベルがシフトされ、信号伝送用トランジスタ回路であるトランジスタ42、43を介して、ハイサイド素子部7のPトランジスタ7a、7bを駆動する駆動素子67を構成する標準ゲート集積回路（例として、TC4093BF）であるAND回路44、45の各一方入力端子に入力される。このAND回路44、45によって、トランジスタ42、43の出力とOR回路46の出力との論理積が演算され、その出力がPトランジスタ7a、7bのゲート端子に供給される。

【0020】前記OR回路46の各入力端子にはトラン

ジスタ42、43の出力がそれぞれ反転されて入力され、トランジスタ42、43の出力の少なくとも一方がローレベルのときにOR回路46はハイレベルの信号を出力し、前記AND回路44、45を導通状態に設定する。一方、トランジスタ42、43の出力が共にハイレベルのとき、OR回路46はローレベルの信号を出力し、前記AND回路44、45はトランジスタ42、43からの信号を遮断する遮断状態に設定される。この遮断状態のとき、Pトランジスタ7a、7bは動作を停止する。このような場合は、例として前記切替信号MF、MRが共にハイレベルなどの同一レベルとなる遷移状態或いは異常状態である。この時に、トランジスタ7a、7bはオフし、トランジスタ8a、8bがオンしてブレーキがかかる。

【0021】一方、前記第1電源部2aに関連して、過電流リミッタ回路（以下、リミッタ回路）47が設けられている。リミッタ回路47には、前記電源ライン9に直列に配列されたコンデンサ48と並列な整流回路49、50からの信号が出力される。整流回路49、50の間にはツェナーダイオード65が整流回路49をカソード側にするように接続されている。前記整流回路49は、相互に直列に接続されたダイオード51、52を備え、各ダイオード51、52の各カソードが共通に、リミッタ回路47のトランジスタ55のゲートに接続される。また、前記整流回路50は、アノードが整流回路56、57に入力される。

【0022】前記トランジスタ55のエミッタは電源ライン9に接続され、コレクタはAND回路58の各入力端子に共通に接続されると共に、抵抗59及びコンデンサ60の並列回路を介して前記抵抗49のコンデンサ48側に接続される。また、AND回路58の出力は前記各整流回路56、57にそれぞれ備えられるダイオード61、63の各カソードに接続される。ダイオード61、63の各アノード、それぞれAND回路44、45の各他方入力端子に接続される。各整流回路56、57にそれぞれ備えられ、ダイオード61、63と逆接続されるダイオード62、64の各カソードは、ダイオード61、63の各アノードに接続され、ダイオード62、64の各アノードは共通に前記整流回路50のダイオード53のカソードに接続される。

【0023】以下、本実施例の駆動回路31の動作について説明する。

【0024】前記リミッタ回路47は、モータ3からのハイサイド素子部7を介する電流レベルを所定レベルに制限するものである。この電流が小さいときには抵抗素子である電流センサ11で検出される電圧値は小さく、トランジスタ55が遮断され、AND回路58にローレベルの信号が入力される。これにより、AND回路58の出力は反転されてハイレベルになり、OR回路46に信号が入力される。これにより、OR回路46の出力が

7

ハイレベルとなり、各AND回路44、45は導通して、前述したようにトランジスタ42、43を介する速度信号PWMがAND回路44、45を介して、各Pトランジスタ7a、7bに入力され、モータ3が駆動される。

【0025】一方、モータ3からのハイサイド素子部7を介する電流が大きいときには抵抗素子である電流センサ11で検出される電圧値も大きくなり、トランジスタ55が導通される。これにより、AND回路58にハイレベルの信号が入力される。これにより、AND回路58の出力は反転されてローレベルになり、整流回路56、57に入力される。このとき、前記整流回路56、57を介してOR回路46に共通にハイレベルの信号が反転されたローレベルの信号が入力される。これにより、OR回路46の出力がローレベルとなり、各AND回路44、45は遮断されて、前述したようにトランジスタ42、43を介する速度信号PWMがAND回路44、45で遮断され、各Pトランジスタ7a、7bに入力されないようになる。これで、モータ3に過電流が流れたとき、モータ3の回転が停止される。

【0026】前記モータ3に定常電流が流れている場合のモータ3の制御動作について説明する。前記切替信号MF、MRのいずれかが選択的にローレベルに設定されて、モータ3が正転或いは逆転に切り替えられる。このとき、本実施例の駆動回路31では、ハイサイド素子部7を駆動する駆動素子66であるAND回路44、45は、例として電流容量が20〜30mAなどの比較的電流容量が小さい標準ゲート集積回路（例として、TC4093BF）からそれぞれ構成され、ローサイド素子部8を駆動する駆動素子67には、例として、TC4049BF（電流容量は例として約60mA）などの電流容量が比較的大きい電圧出力型のCMOSゲート素子が用いられている。また、前記ローサイド素子部8を駆動するAND回路38、39は、前記標準ゲート集積回路（TC4049BF）が2個並列に接続された構成であり、電流容量は約120mAになる。

【0027】モータ3が正転していて、これに対応してNトランジスタ8aが遮断されNトランジスタ8bが導通している場合を想定する。この場合、オフ中のローサイド素子部8のNトランジスタ8aの電位差VDD-Gがこのトランジスタのしきい値電圧Vthである2Vで、ゲート回路38、39は前記電流容量約120mAでオフ状態を確定できるのに対し、オン/オフを繰り返すハイサイド素子部7に関して、オン状態とオフ状態との間で切り替わるPトランジスタ7の電位差VDD-Gが10V-Vth=8Vで、AND回路44、45の電流容量が20〜30mAと小さいので、スイッチング側であるAND回路44、45によるローサイド素子8側のオフ状態を確定することができる。

【0028】これにより、ハイサイド素子7及びローサ

8

イド素子8が共にオン状態となる事態が防止され、相互に短絡して過大な異常電流が流れ、モータ3の誤動作が発生するという不具合を防止できる。

【0029】また、上記実施例で説明された構成は、本発明の一実施例を示すものであり、本発明の範囲を限定するものではない。本発明は、本発明の精神を逸脱しない範囲の広範囲の変形例を含むものである。

【0030】

【発明の効果】以上のように請求項1の発明に従えば、モータを駆動するためにトランジスタをオン/オフ駆動する駆動回路の電流容量を、トランジスタをオン状態またはオフ状態のいずれかに設定する駆動回路の電流容量よりも小電流容量とできるので、トランジスタをオン/オフ駆動する駆動回路の動作状態を確定することができ、これらの各駆動回路の動作状態が確定せず、各トランジスタ間が短絡する事態を防止することができ、モータの誤動作を防止することができる。

【0031】請求項1の発明において、第1導電形式をPチャネル型とし、第2導電形式をNチャネル型としてもよい。この場合にも、前記作用効果を達成することができる。また、請求項1の発明において、第1駆動回路は基本構成として約60mAの電流容量のゲート集積回路素子を備え、第2駆動回路は基本構成として約20〜30mAの電流容量のゲート集積回路素子を備えるようにしてもよい。この場合にも、前記請求項1の作用効果を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施例のモータ駆動回路31の一部の構成例を示すブロック図である。

【図2】本発明の基礎となるモータ駆動回路1の構成例を示すブロック図である。

【図3】実施例に用いられるゲート素子の動作例を示すグラフである。

【図4】従来技術及び実施例の回路素子の動作状態を示すグラフである。

【図5】従来技術のモータ駆動回路1の構成例を示す回路図である。

【図6】駆動回路1における後述するパワー素子部のローサイド側の構成例を示す回路図である。

【図7】駆動回路1における後述するパワー素子部のハイサイド側の構成例を示す回路図である。

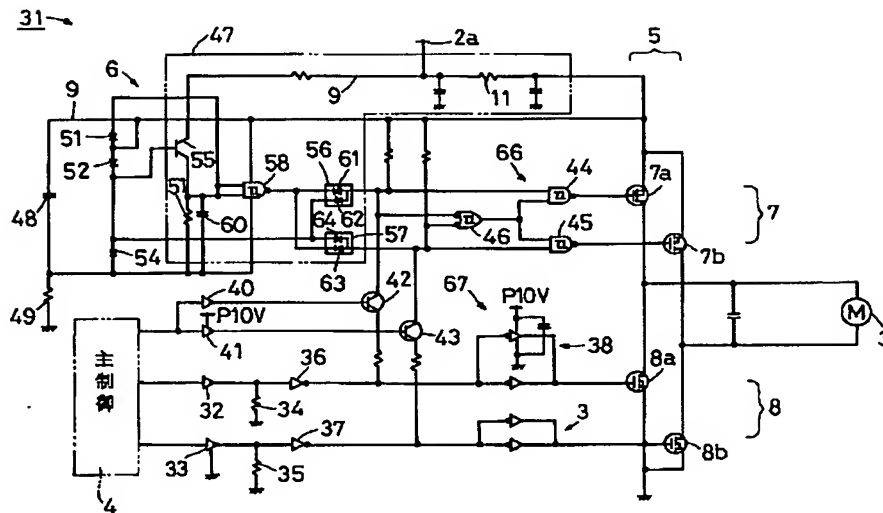
【符号の説明】

- 2 電源部
- 3 モータ
- 4 主制御部
- 5 パワー素子部
- 6 従制御部
- 7 ハイサイド素子部
- 7a、7b Pハイサイド素子部
- 8 ローサイド素子部

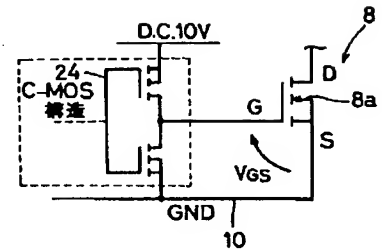
8a、8b ローサイド素子部  
 31 駆動回路  
 38、39 ゲート回路  
 42、43 信号伝送用トランジスタ

44、45 AND回路  
 46 OR回路  
 47 過電流リミッタ回路

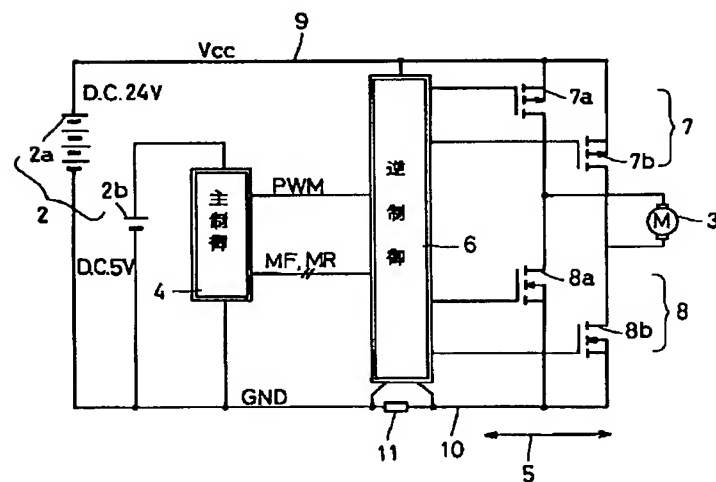
【図1】



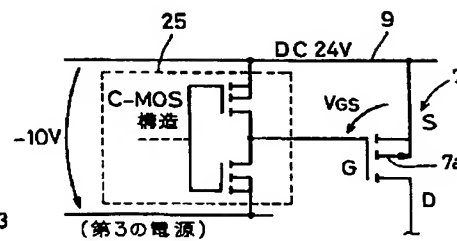
【図6】



【図2】

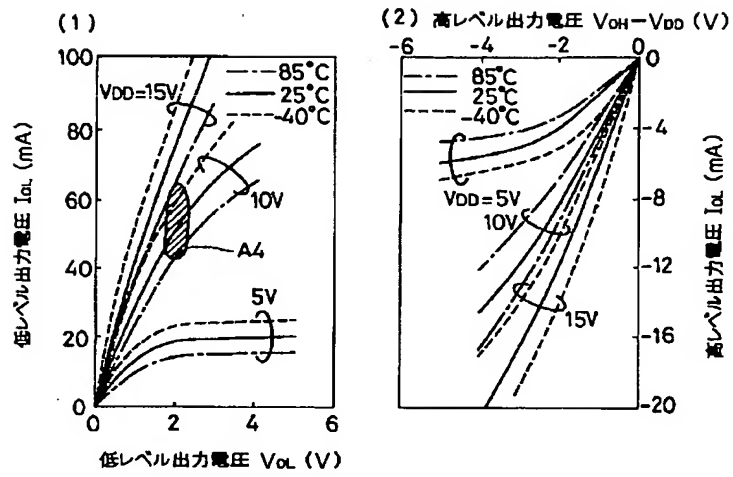


【図7】

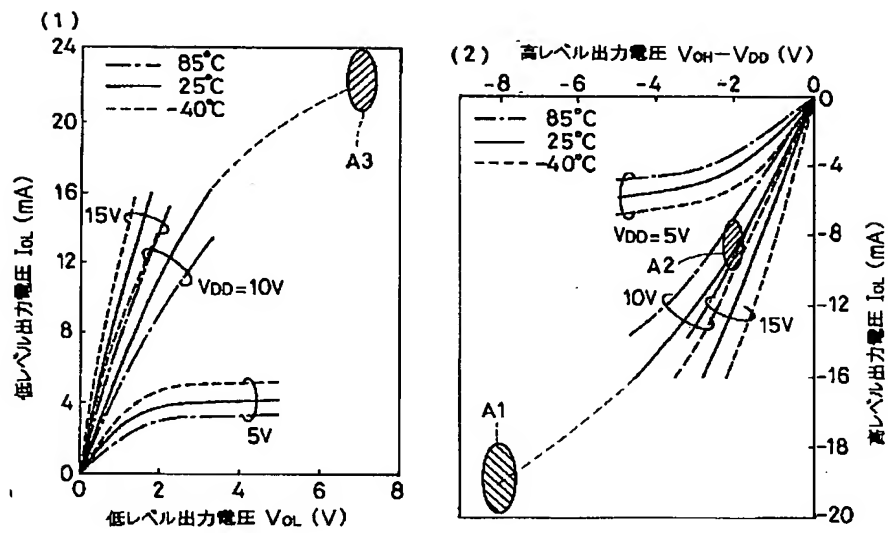




【図3】



【図4】



【図5】

